

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-056544

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 05-206697

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.08.1993

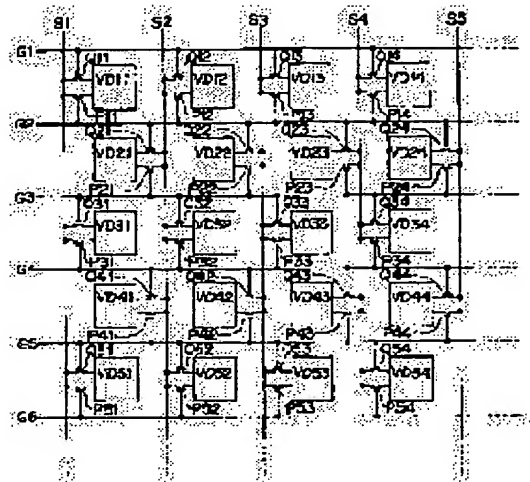
(72)Inventor : ISOGAI HIROYUKI

(54) DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide a display device which can charge one pixel sufficiently even if a video signal is processed with a low frequency for OA devices having resolution of high definition.

CONSTITUTION: This device is provided with a data bus line S_m ($m=1-p$) applying voltage corresponding to a video signal, a gate bus line G_n ($n=1-q$) applying a selecting signal, and pixels VD_{nm} holding voltage corresponding to a video signal. Two switching elements Q_{nm} and P_{nm} for one pixel are connected to the same data bus line, connected data bus lines hold a pixel VD_{nm} between them and adjacent data bus lines S_m, S_{m+1} are used alternately for each row, gate bus lines G_n have pixels VD_{n-1m} of two lines and a capacitive display panel connected to the D_{nm} .



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-56544

(43) 公開日 平成7年(1995)3月3日

(51) Int.Cl.⁶

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

5 5 0

庁内整理番号

9226-2K

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平5-206697

(22) 出願日 平成5年(1993)8月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 磯貝 博之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 石川 泰男

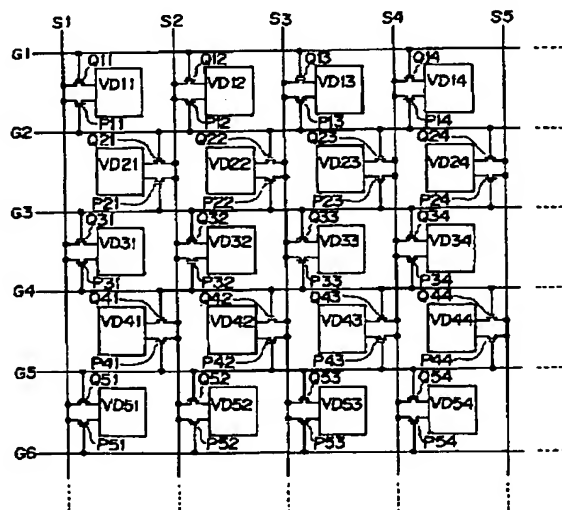
(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 本発明は、高精細の解像度を持つOA機器に対しても、映像信号の処理を低周波数で処理しながらも1画素を十分に充電することができ、且つ、液晶の劣化を防ぎ、高い信頼性で高い表示品質を保った表示装置を提供することを目的とする。

【構成】 映像信号に対応した電圧を印加するデータバスライン S_m ($m=1\sim p$) と、選択信号を印加するゲートバスライン G_n ($n=1\sim q$) と、映像信号に対応した電圧を保持する画素 VD_{nm} とを備え、1つの画素に対して2つのスイッチング素子 Q_{nm} 及び P_{nm} が同一データバスラインに接続され、接続されるデータバスラインが画素 VD_{nm} を挟んで隣接するデータバスライン S_m 及び S_{m+1} で行毎に交互になり、ゲートバスライン G_n は、2ライン分の画素 VD_{n-1m} 及び VD_{nm} と接続されている容量性表示パネル1を有して構成する。

第1実施例の液晶表示パネルの構成図



1

【特許請求の範囲】

【請求項1】 映像信号に対応した電圧を印加するデータバスライン (S_m ; $m=1\sim p$; p は任意の正整数)と、

選択信号を印加するゲートバスライン (G_n ; $n=1\sim q$; q は任意の正整数)と、

前記映像信号に対応した電圧を保持する画素 (VD_n m)とを備え、

前記1つの画素に対して2つのスイッチング素子 (Q_n m 及び P_n m) が同一データバスライン (S_m) に接続され、前記ゲートバスライン (G_n) は、2ライン分の画素 ($VD_{n-1}m$ 及び VD_nm) 内の一方のスイッチング素子 ($P_{n-1}m$ 及び Q_nm) と接続されている容量性表示パネル (1) を有することを特徴とする表示装置。

【請求項2】 前記容量性表示パネルは、前記容量性表示パネルを構成する同一画素列 (VD_nm ; m は一定) において、前記1つの画素に対して設けられた2つのスイッチング素子 (Q_nm 及び P_nm) が、前記画素列 (VD_nm ; m は一定) を挟むように配置された2本のデータバスライン (S_m 及び S_{m+1}) と、行毎に交互に接続される容量性表示パネル (1) であることを特徴とする請求項1記載の表示装置。

【請求項3】 前記容量性表示パネル (1) は、前記容量性表示パネルを構成する同一画素列 (VD_nm ; m は一定) において、前記1つの画素に対して設けられた2つのスイッチング素子 (Q_nm 及び P_nm) が、前記画素列 (VD_nm ; m は一定) に隣接する1本のデータバスライン (S_m) に共通して接続される容量性表示パネル (1') であることを特徴とする請求項1記載の表示装置。

【請求項4】 前記容量性表示パネル (1) と、第1の極性を持つデータ電圧を奇数番目のデータバスラインに印加する第1データドライバ ($A11$) と、第2の極性を持つデータ電圧を偶数番目のデータバスラインに印加する第2データドライバ ($A12$) とを有することを特徴とする請求項1乃至請求項3に記載の表示装置。

【請求項5】 前記データバスライン (S_m) に印加されるデータ電圧は、フレーム周期で極性反転することを特徴とする請求項1乃至請求項4に記載の表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は容量素子を画像情報記憶手段として用いた表示装置に係り、特に、高精細の解像度を持つOA機器に対しても、映像信号の処理を低周波数で処理しながらも1画素を十分に充電することができ、且つ、液晶の劣化を防ぎ、高い信頼性で高い表示品質を保った表示装置に関する。

【0002】 容量素子を画像情報記憶手段として用いた

2

表示装置の代表である、スイッチングトランジスタを各画素に設けたアクティブマトリクス型容量表示装置は、一般家庭用TVだけでなく、OA機器の表示装置として普及しつつある。これは、アクティブマトリクス型容量表示装置が、CRTに比べて薄型軽量のものを容易に実現でき、CRTに劣らない表示品質を得ることができるためである。

【0003】 しかし、中精細OA機器の画素密度が640×480程度であるのに対し、高精細OA機器の画素密度は1280×1024程度と、高精細の表示装置は中精細の画素密度の4倍以上となる。このため、映像情報を容量素子に書き込む時間 (充電時間) は非常に短くなる。特に、容量素子として液晶を用いた場合、液晶自身の劣化を防ぐために交流駆動 (一定の周期毎に固定電圧に対し正負の電圧を交互に印加する) を行っているため、前回書き込み時の情報に変化が生じなくても大きな電位変動を必要とし、充電不足になる。

【0004】

【従来の技術】 フラットパネルディスプレイの中でも表示品質の高いアクティブマトリクス型容量表示装置における表示パネルの構成について説明する。

【0005】 これはマトリクス状に電極が走り、その交点にスイッチング素子 (TFT等) が接続された基板と、電極が一様に張り巡らされている基板の間に容量素子 (以下、容量素子として液晶を例に挙げて説明する) が封入された構造を備えている。ここでは、前者の基板をTFT基板、後者の基板を共通基板と呼ぶことにする。

【0006】 図19に示すように、TFT基板にはデータバスライン (信号電極) $S1, \dots, S5, \dots$ 、及びゲートバスライン (走査電極) $G1, \dots, G4, \dots$ がマトリクス状に交差しており、その交点全てにTFT $P11, \dots, P44, \dots$ がスイッチング素子として接続されている。

【0007】 ゲートバスラインで選択された行のTFTがONすることにより、データバスラインに印加された映像信号電圧が各画素電極 $VD11, \dots, VD44, \dots$ に書き込まれて、次にその行が選択されるまで電荷を保持することで情報が保たれる。保持している情報に対応して液晶の傾きが決まるので、光の透過量を制御することができ、階調表示が可能となる。更に、カラー表示を行う場合には、RGBのカラーフィルタを用いて光の混合により実現している。

【0008】 液晶表示パネル (LCD) を駆動する周辺回路は、データバスライン側に接続されたデータドライバと、ゲートバスライン側に接続されたゲートドライバから構成されている。ゲートドライバからON電圧が出力された時に、映像信号に対応した電圧がゲートドライバを通して選択画素に印加される。

【0009】 データドライバから出力される電圧は、入

力された映像信号に対応して変化するが、特に極性反転のタイミングに合わせて大きく電位変動が生じる。画素電極と共通基板の電位差が液晶に印加される電圧となるが、液晶の劣化を防ぐために、交流駆動を行わなければならない。

【0010】しかし、交流駆動の周期及び表示パターンによっては、画面のフリッカ（ちらつき）を生じてしまう。そのため、従来の液晶表示装置では、フリッカを減少するために、ゲートバスライン毎に、またはデータバスライン毎に、或いは隣接画素毎に加わる電圧極性の反転を行っている。また、隣接画素毎に加わる電圧極性の反転を行った場合には、図20に示すような、映像信号を低い周波数で処理できるパネル構成が提案されている。

【0011】

【発明が解決しようとする課題】従って、従来の液晶表示装置では、 640×480 程度の中精細の解像度を持つOA機器に対応できても、高精細の解像度を持つOA機器に対応するには1画素を充電する時間が短くなるために、十分な表示品質が得られないという問題があった。

【0012】本発明は、上記問題点を解決するもので、映像信号の処理を低周波数で処理しながらも1画素を十分に充電することができ、且つ、TFTが不良の画素に対しても本来の極性と同極性の疑似電圧を印加することにより液晶の劣化を防ぎ、表示品質の低下を防ぎ得る表示装置を提供することを目的とする。

【0013】

【課題を解決するための手段】上記課題を解決するために、本発明の第1の特徴の表示装置は、図1に示す如く、映像信号に対応した電圧を印加するデータバスライン (S_m ; $m=1 \sim p$; p は任意の正整数) と、選択信号を印加するゲートバスライン (G_n ; $n=1 \sim q$; q は任意の正整数) と、前記映像信号に対応した電圧を保持する画素 ($V D n m$) とを備え、前記1つの画素に対して2つのスイッチング素子 ($Q n m$ 及び $P n m$) が同一データバスライン (S_m) に接続され、前記ゲートバスライン (G_n) は、2ライン分の画素 ($V D n-1 m$ 及び $V D n m$) 内の一方のスイッチング素子 ($P n-1 m$ 及び $Q n m$) と接続されている容量性表示パネル (1) を有して構成する。

【0014】また、本発明の第2の特徴の表示装置においては、前記容量性表示パネル (1) は、前記容量性表示パネルを構成する同一画素列 ($V D n m$; m は一定) において、前記1つの画素に対して設けられた2つのスイッチング素子 ($Q n m$ 及び $P n m$) が、前記画素列 ($V D n m$; m は一定) を挟むように配置された2本のデータバスライン (S_m 及び S_{m+1}) と、行毎に交互に接続される容量性表示パネル (1) を有して構成する。

【0015】また、本発明の第3の特徴の表示装置においては、前記容量性表示パネル (1) は、前記容量性表示パネルを構成する同一画素列 ($V D n m$; m は一定) において、前記1つの画素に対して設けられた2つのスイッチング素子 ($Q n m$ 及び $P n m$) が、前記画素列 ($V D n m$; m は一定) に隣接する1本のデータバスライン (S_m) に共通して接続される容量性表示パネル (1') を有して構成する。

【0016】また、本発明の第4の特徴の表示装置は、前記容量性表示パネル (1) と、第1の極性を持つデータ電圧を奇数番目のデータバスラインに印加する第1データドライバ ($A 1 1$) と、第2の極性を持つデータ電圧を偶数番目のデータバスラインに印加する第2データドライバ ($A 1 2$) とを有して構成する。

【0017】更に、本発明の第5の特徴の表示装置は、前記データバスライン (S_m) に印加されるデータ電圧が、フレーム周期で極性反転するよう構成される。

【0018】

【作用】本発明の第1、第3、及び第4の特徴の表示装置では、図1に示す如く、映像信号に対応した電圧を印加するデータバスライン S_m ($m=1 \sim p$; p は任意の正整数) と、選択信号を印加するゲートバスライン G_n ($n=1 \sim q$; q は任意の正整数) と、映像信号に対応した電圧を保持する画素 $V D n m$ とを備えた容量性表示パネル1を有して構成し、1つの画素に対して2つのスイッチング素子 (例えば、TFT等) $Q n m$ 及び $P n m$ を同一データバスライン S_m 側に接続し、該2つのスイッチング素子 $Q n m$ 及び $P n m$ を行毎に交互に配置して、ゲートバスライン G_n により、上下2ライン分の画素 $V D n-1 m$ 及び $V D n m$ を同時に選択できるようにし、各画素 $V D n m$ とも本来のデータ電圧を充電する前に、本来のデータ電圧と同一極性の疑似電圧を予備充電するようにしている。

【0019】図2及び図3は、第1、第3、及び第4の特徴の表示装置の容量性表示パネル1の動作原理を説明する図である。本発明では、本来のデータ電圧を充電する前に、前ラインのデータ電圧を疑似電圧として予備充電する。原理を説明するために、画素No. 2と画素No. 3の電位変動に注目する。図中データバスライン S_{m+1} には、フレーム周期で極性が反転するデータ電圧が印加されているものとする。

【0020】図2 (a) はゲートバスライン G_n が選択されている状態であり、この時、画素No. 2には正極性の疑似データ電圧が予備充電される。この時点で画素No. 3は前フレームのデータ電圧が保持されており、その極性は負である。

【0021】図2 (b) はゲートバスライン G_{n+1} が選択されている状態であり、画素No. 2には本来の正極性データ電圧が印加されると同時に、同じ電圧が画素No. 3にも印加される。画素No. 3に書き込まれる

5

電圧は、次のタイミングで書き込まれる本来のデータ電圧と同極性であるため、予備充電の役目を果たすこととなる。

【0022】図3(a)はゲートバスライン G_{n+2} が選択されている状態であり、画素No. 3に本来の正極性データ電圧が充電される。この一連の過程における画素No. 3の電位変動を示したのが図3(b)であり、前フレーム時に書き込んだ極性と反対の極性を予備充電することで、本来のデータ電圧充電時間の不足を補っていることが分かる。

【0023】以上のように本発明では、1つの画素に対して2つのスイッチング素子 Q_{nm} 及び P_{nm} を設け、1本のゲートバスライン G_n により、同時に上下2ライン分の画素 VD_{n-1m} 及び VD_{nm} を選択できるように構成したので、各画素 VD_{nm} とも本来のデータ電圧を充電する前に、本来のデータ電圧と同一極性の疑似電圧を予備充電することができ、高精細の解像度を持つOA機器に対しても、映像信号の処理を低周波数で処理しながらも1画素を十分に充電して高い表示品質を保つことができ、また、冗長構成により2つのスイッチング素子 Q_{nm} または P_{nm} の何れかに欠陥が生じた場合にも、本来書き込むデータ電圧と同一極性の疑似データ電圧を印加することができるため液晶の劣化を防ぐと共に、表示品質の低下を防ぐことができる。

【0024】また、本発明の第2、第3、及び第4の特徴の表示装置では、図12に示す如く、映像信号に対応した電圧を印加するデータバスライン S_m ($m=1 \sim p$; p は任意の正整数)と、選択信号を印加するゲートバスライン G_n ($n=1 \sim q$; q は任意の正整数)と、映像信号に対応した電圧を保持する画素 VD_{nm} とを備えた容量性表示パネル1'を有して構成し、1つの画素に対して2つのスイッチング素子(例えば、TFT等) Q_{nm} 及び P_{nm} を同一データバスライン S_m 側に接続し、該2つのスイッチング素子 Q_{nm} 及び P_{nm} を行毎に同一方向に配置して、ゲートバスライン G_n により、上下2ライン分の画素 VD_{n-1m} 及び VD_{nm} を同時に選択できるようにし、各画素 VD_{nm} とも本来のデータ電圧を充電する前に、本来のデータ電圧と同一極性の疑似電圧を予備充電するようにしている。

【0025】図13及び図14は、第2及び第4の特徴の表示装置の容量性表示パネル1'の動作原理を説明する図である。本発明では、本来のデータ電圧を充電する前に、前ラインのデータ電圧を疑似電圧として予備充電する。原理を説明するために、画素No. 1と画素No. 3の電位変動に注目する。図中データバスライン S_{m+1} には、フレーム周期で極性が反転するデータ電圧が印加されているものとする。

【0026】図13(a)はゲートバスライン G_n が選択されている状態であり、この時、画素No. 1には正極性の疑似データ電圧が予備充電される。この時点で画

6

素No. 3は前フレームのデータ電圧が保持されており、その極性は負である。

【0027】図13(b)はゲートバスライン G_{n+1} が選択されている状態であり、画素No. 1には本来の正極性データ電圧が印加されると同時に、同じ電圧が画素No. 3にも印加される。画素No. 3に書き込まれる電圧は、次のタイミングで書き込まれる本来のデータ電圧と同極性であるため、予備充電の役目を果たすこととなる。

10 【0028】図14(a)はゲートバスライン G_{n+2} が選択されている状態であり、画素No. 3に本来の正極性データ電圧が充電される。この一連の過程における画素No. 3の電位変動を示したのが図14(b)であり、前フレーム時に書き込んだ極性と反対の極性を予備充電することで、本来のデータ電圧充電時間の不足を補っていることが分かる。

20 【0029】以上のように本発明では、1つの画素に対して2つのスイッチング素子 Q_{nm} 及び P_{nm} を設け、1本のゲートバスライン G_n により、同時に上下2ライン分の画素 VD_{n-1m} 及び VD_{nm} を選択できるように構成したので、各画素 VD_{nm} とも本来のデータ電圧を充電する前に、本来のデータ電圧と同一極性の疑似電圧を予備充電することができ、高精細の解像度を持つOA機器に対しても、映像信号の処理を低周波数で処理しながらも1画素を十分に充電して高い表示品質を保つことができ、また、冗長構成により2つのスイッチング素子 Q_{nm} または P_{nm} の何れかに欠陥が生じた場合にも、本来書き込むデータ電圧と同一極性の疑似データ電圧を印加することができるため液晶の劣化を防ぐと共に、表示品質の低下を防ぐことができる。

【0030】

【実施例】次に、本発明に係る実施例を図面に基づいて説明する。

第1実施例

図1に本発明の第1実施例に係る表示装置の液晶表示パネル1の構成図を示す。

【0031】本実施例の液晶表示パネル1は、映像信号に対応した電圧を印加するデータバスライン S_m ($m=1 \sim p$; p は任意の正整数)と、選択信号を印加するゲートバスライン G_n ($n=1 \sim q$; q は任意の正整数)と、映像信号に対応した電圧を保持する画素 VD_{nm} とを備えて構成し、1つの画素に対して2つのスイッチング素子(TFT) Q_{nm} 及び P_{nm} を同一データバスライン S_m 側に接続し、該2つのTFT Q_{nm} 及び P_{nm} を行毎に交互に配置して、ゲートバスライン G_n により、上下2ライン分の画素 VD_{n-1m} 及び VD_{nm} を同時に選択できるようにし、各画素 VD_{nm} とも本来のデータ電圧を充電する前に、本来のデータ電圧と同一極性の疑似電圧を予備充電するようにしている。

50 【0032】また図2及び図3は、本実施例の液晶表示

パネル1の動作原理を説明する図であり、既に説明した通りである。図4は、本実施例の表示装置の構成図であり、液晶表示パネル1に周辺回路を付加した構成である。本実施例の表示装置では、データドライバが液晶表示パネル1の片側に接続されているのが特徴である。

【0033】同図において、本実施例の表示装置は、表示パネルユニットA、データドライバ制御部B、及びゲートドライバ制御部Cから構成されている。表示パネルユニットAの詳細構成を図5に示す。A1はデータバスライン S_m ($m=1\sim p$)に接続されたデータドライバ、A2はゲートバスライン G_n ($n=1\sim q$)に接続されたゲートドライバである。

【0034】また、データドライバ制御部Bの構成を図6(a)に、ゲートドライバ制御部Cの構成を図6(b)にそれぞれ示す。データドライバA1を制御するデータドライバ制御部Bは、映像信号処理部B1、タイミング信号発生部B2、及び階調電圧発生部B3から構成されている。映像信号処理部B1では、片側接続に対応した映像処理と、垂直同期信号VSに同期してフレーム毎に極性反転が行われ、映像データDATAとして出力される。タイミング信号発生部B2では、同期信号(水平同期信号HS及び垂直同期信号VS)からデータドライバA1に供給する各種制御信号が生成される。階調電圧発生部B3では、電源を基にデータドライバA1用基準電圧が作成される。

【0035】また、ゲートドライバA2を制御するゲートドライバ制御部Cは、タイミング信号発生部C1及びゲート電圧発生部C2から構成されている。タイミング信号発生部C1では、ゲートドライバA2用の各種制御信号が生成される。ゲート電圧発生部C2では、ゲートドライバA2用基準電圧が作成される。

【0036】また、本実施例の表示装置の各部信号のタイミング波形を図7に示す。

第2実施例

図8に本発明の第2実施例に係る表示装置の構成図を示す。本実施例の表示装置では、第1実施例と同じ液晶表示パネル1を使用し、データドライバが液晶表示パネル1の上下に接続されているのが特徴である。

【0037】同図において、本実施例の表示装置は、表示パネルユニットA'、データドライバ制御部B'、及びゲートドライバ制御部Cから構成されている。表示パネルユニットA'の詳細構成を図9に示す。A11は奇数番目のデータバスライン S_1, S_3, \dots に接続された上側データドライバ、A12は偶数番目のデータバスライン S_2, S_4, \dots に接続された下側データドライバ、A2はゲートバスライン G_n ($n=1\sim q$)に接続されたゲートドライバである。

【0038】また、データドライバ制御部B'の構成を図10(a)に示す。データドライバA11及びA12を制御するデータドライバ制御部B'は、映像信号処理

部B1'、タイミング信号発生部B2、及び階調電圧発生部B3から構成されている。映像信号処理部B1'では、両側接続に対応した映像処理と、垂直同期信号VSに同期してフレーム毎に極性反転が行われ、上側データドライバ用映像データDATA1及び下側データドライバ用映像データDATA2として出力される。タイミング信号発生部B2では、同期信号(水平同期信号HS及び垂直同期信号VS)からデータドライバA1及びA2に供給する各種制御信号が生成される。階調電圧発生部B3では、電源を基にデータドライバA1及びA2用基準電圧が作成される。また、ゲートドライバA2を制御するゲートドライバ制御部Cは第1実施例と同様である。

【0039】また、本実施例の表示装置の各部信号のタイミング波形を図11に示す。

第3実施例

図12に本発明の第3実施例に係る表示装置の液晶表示パネル1'の構成図を示す。

【0040】本実施例の液晶表示パネル1'は、映像信号に対応した電圧を印加するデータバスライン S_m ($m=1\sim p$; p は任意の正整数)と、選択信号を印加するゲートバスライン G_n ($n=1\sim q$; q は任意の正整数)と、映像信号に対応した電圧を保持する画素VD n_m とを備えて構成し、1つの画素に対して2つのスイッチング素子Q n_m 及びP n_m を同一データバスライン S_m 側に接続し、該2つのスイッチング素子Q n_m 及びP n_m を行毎に同一方向に配置して、ゲートバスライン G_n により、上下2ライン分の画素VD $n-1m$ 及びVD n_m を同時に選択できるようにし、各画素VD n_m とも本来のデータ電圧を充電する前に、本来のデータ電圧と同一極性の疑似電圧を予備充電するようにしている。

【0041】また図13及び図14は、本実施例の液晶表示パネル1'の動作原理を説明する図であり、既に説明した通りである。図15は、本実施例の表示装置の構成図であり、液晶表示パネル1'に周辺回路を付加した構成である。本実施例の表示装置では、データドライバが液晶表示パネル1'の片側に接続されているのが特徴である。

【0042】同図において、本実施例の表示装置は、表示パネルユニットA#、データドライバ制御部B、及びゲートドライバ制御部Cから構成されている。表示パネルユニットA#の詳細構成を図16に示す。A1はデータバスライン S_m ($m=1\sim p$)に接続されたデータドライバ、A2はゲートバスライン G_n ($n=1\sim q$)に接続されたゲートドライバである。

【0043】また、データドライバA1を制御するデータドライバ制御部B、及びゲートドライバA2を制御するゲートドライバ制御部Cは、第1実施例の構成と同様である。

第4実施例

図17に本発明の第4実施例に係る表示装置の構成図を示す。本実施例の表示装置では、第3実施例と同じ液晶表示パネル1'を使用し、データドライバが液晶表示パネル1'の上下に接続されているのが特徴である。

【0044】同図において、本実施例の表示装置は、表示パネルユニットA#'、データドライバ制御部B'、及びゲートドライバ制御部Cから構成されている。表示パネルユニットA#'の詳細構成を図18に示す。第2実施例と同様の上側データドライバA11、下側データドライバA12、及びゲートドライバA2、並びに液晶表示パネル1'から構成されている。

【0045】また、データドライバ制御部B'は第2実施例と同様の構成であり、ゲートドライバ制御部Cは第1実施例と同様の構成である。

【0046】

【発明の効果】以上説明したように、本発明によれば、1つの画素に対して2つのスイッチング素子を設け、1本のゲートバスラインにより、同時に上下2ライン分の画素を選択できるように構成したので、各画素とも本来のデータ電圧を充電する前に、本来のデータ電圧と同一極性の疑似電圧を予備充電することができ、高精細の解像度を持つOA機器に対しても、映像信号の処理を低周波数で処理しながらも1画素を十分に充電して高い表示品質を保つことができ、また、冗長構成により2つのスイッチング素子の何れかに欠陥が生じた場合にも、本来書き込むデータ電圧と同一極性の疑似データ電圧を印加することができるため、液晶の劣化を防ぐと共に、表示品質の低下を防ぐことができ、結果として、高精細解像度のOA機器に対応でき、液晶の劣化を防止でき、高い信頼性で高い表示品質を保った表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る表示装置の液晶表示パネルの構成図である。

【図2】第1、第3、及び第4の特徴（第1実施例）の表示装置の容量性表示パネルの動作原理説明図（その1）である。

【図3】第1、第3、及び第4の特徴（第1実施例）の表示装置の容量性表示パネルの動作原理説明図（その2）である。

【図4】本発明の第1実施例に係る表示装置の構成図である。

【図5】第1実施例の表示パネルユニットの詳細構成図である。

【図6】図6(a)は第1実施例のデータドライバ制御部の構成図、図6(b)は第1実施例のゲートドライバ制御部の構成図である。

【図7】第1実施例の表示装置の各部信号のタイミングチャートである。

【図8】本発明の第2実施例に係る表示装置の構成図で

ある。

【図9】第2実施例の表示パネルユニットの詳細構成図である。

【図10】第2実施例のデータドライバ制御部の構成図である。

【図11】第2実施例の表示装置の各部信号のタイミングチャートである。

【図12】本発明の第3実施例に係る表示装置の液晶表示パネルの構成図である。

【図13】第2、第3、及び第4の特徴（第3実施例）の表示装置の容量性表示パネルの動作原理説明図（その1）である。

【図14】第2、第3、及び第4の特徴（第3実施例）の表示装置の容量性表示パネルの動作原理説明図（その2）である。

【図15】本発明の第3実施例に係る表示装置の構成図である。

【図16】第3実施例の表示パネルユニットの詳細構成図である。

【図17】本発明の第4実施例に係る表示装置の構成図である。

【図18】第4実施例の表示パネルユニットの詳細構成図である。

【図19】従来の液晶表示パネル（第1従来例）の構成図である。

【図20】従来の液晶表示パネル（第2従来例）の構成図である。

【符号の説明】

1, 1' …容量性表示パネル, 液晶表示パネル

Sm (m=1~p) …データバスライン

Gn (n=1~q) …ゲートバスライン

VDnm…画素（電極）

No. 1~No. 4…画素

Qnm, Pnm…スイッチング素子, TFT

A11…第1データドライバ, 上側データドライバ

A12…第2データドライバ, 下側データドライバ

A, A', A#, A#'…表示パネルユニット

B, B'…データドライバ制御部

C…ゲートドライバ制御部

40 A1…データドライバ

A2…ゲートドライバ

B1, B1'…映像信号処理部

B2…タイミング信号発生部

B3…階調電圧発生部

HS…水平同期信号

VS…垂直同期信号

Data…映像信号

DATA…映像データ

C1…タイミング信号発生部

50 C2…ゲート電圧発生部

(7)

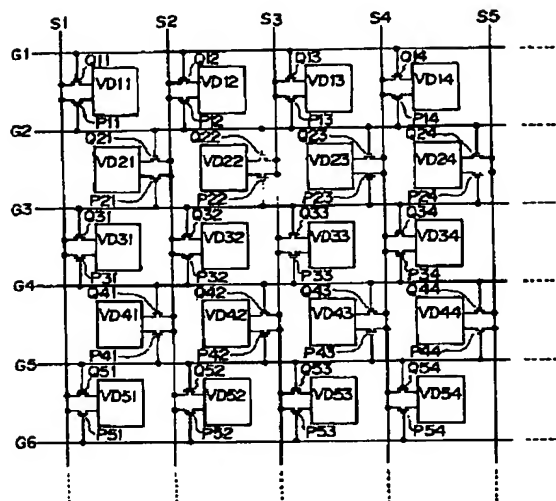
特開平7-56544

11

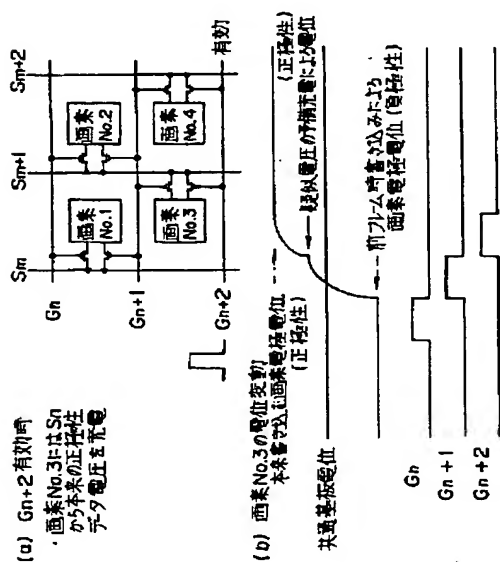
DATA 1...上側データドライバ用映像データ

【図1】

第1実施例の液晶表示パネルの構成図



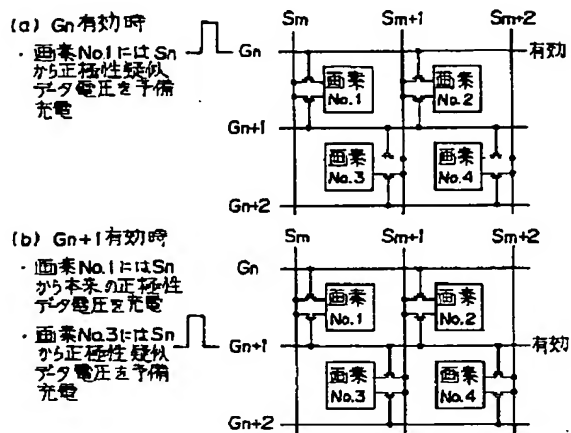
【図3】

第1実施例(請求項1,3,及び4)の動作原理説明図
(その2)

12

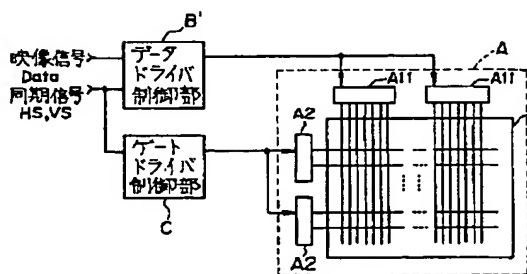
DATA 2...下側データドライバ用映像データ

【図2】

第1実施例(請求項1,3,及び4)の動作原理説明図
(その1)

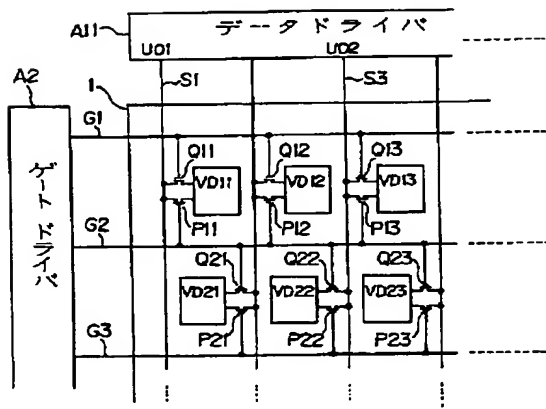
【図4】

第1実施例の表示装置の構成図



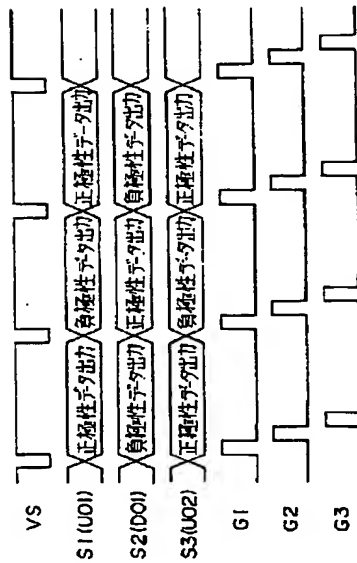
【図5】

表示パネルユニットの構成図



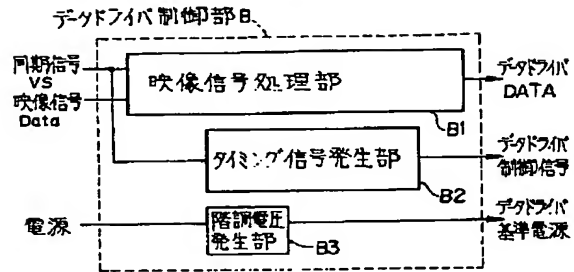
【図7】

第1実施例の各部信号のタイミングチャート

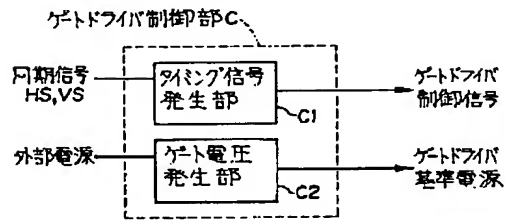


【図6】

(a) データドライブ制御部の構成図

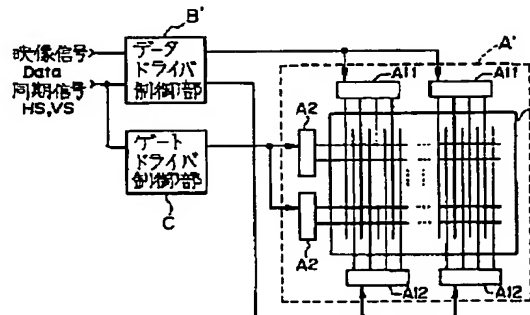


(b) ゲートドライブ制御部の構成図



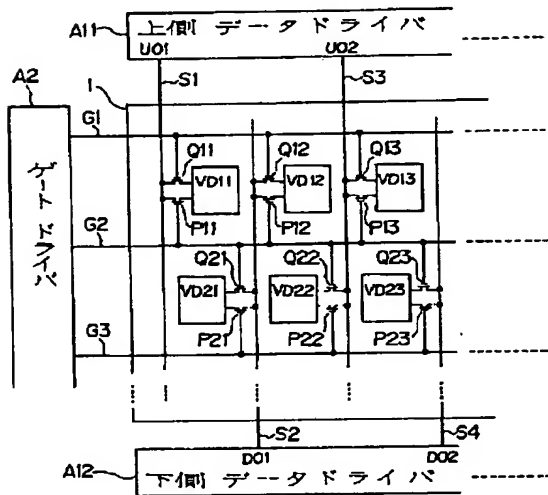
【図8】

第2実施例の表示装置の構成図



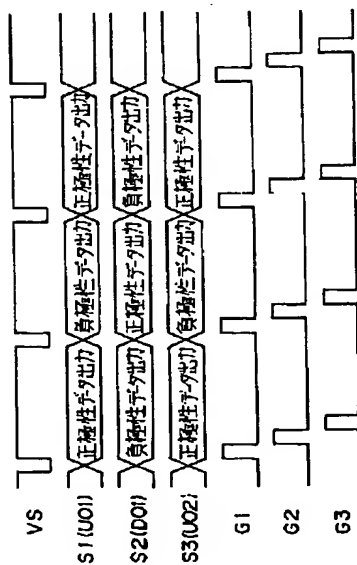
【図9】

第2実施例の表示パネルユニットの構成図



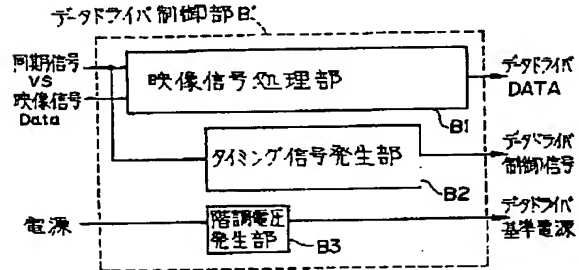
【図11】

第2実施例の各部信号のタイミングチャート



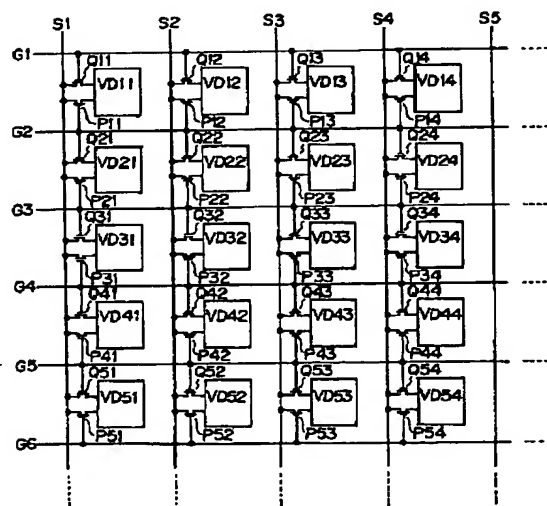
【図10】

第2実施例のデータドライバ制御部の構成図



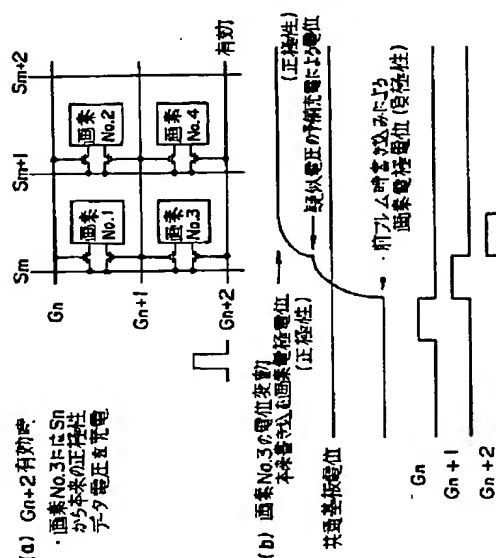
【図12】

第3実施例の液晶表示パネルの構成図



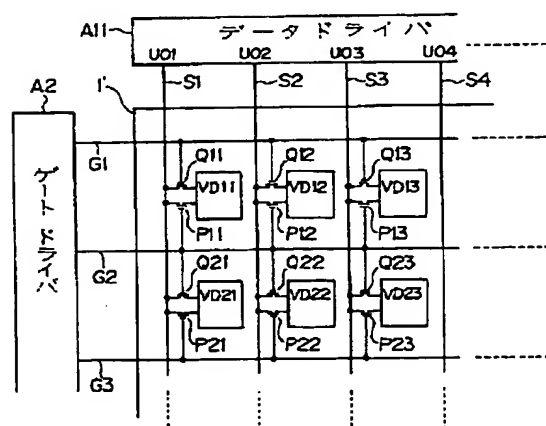
【图 14】

第3実施例(請求項2,3,及び4)の動作原理説明図
(その2)



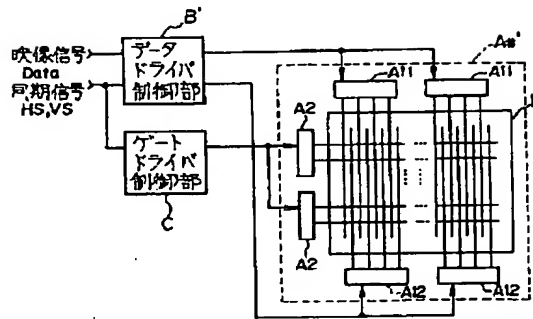
【例 1.6】

第3実施例の表示パネルユニットの構成図



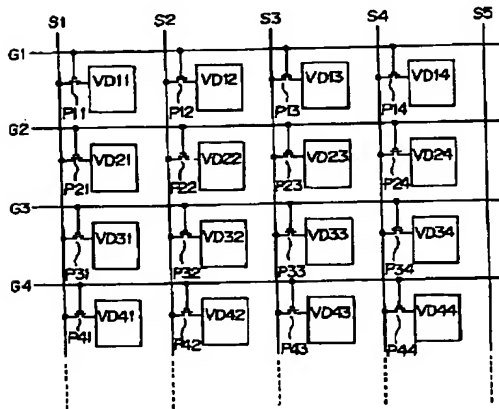
【図17】

第4実施例の表示装置の構成図



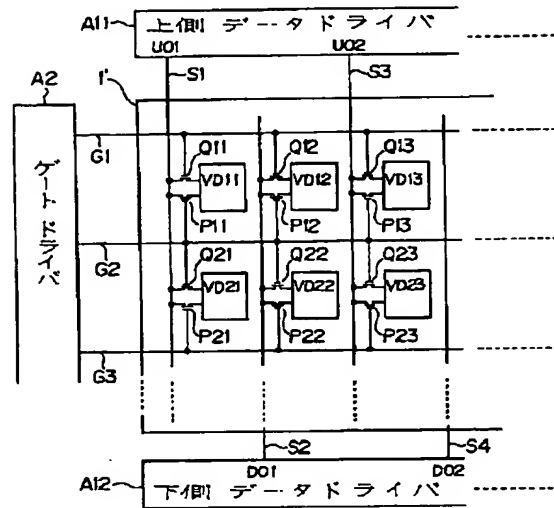
【図19】

従来の液晶表示パネル(第1従来例)の構成図



【図18】

第4実施例の表示パネルユニットの構成図



【図20】

従来の液晶表示パネル(第2従来例)の構成図

